

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224185

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H01L 21/768  
H01L 21/28  
H01L 21/3065

(21)Application number : 2002-018805

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.01.2002

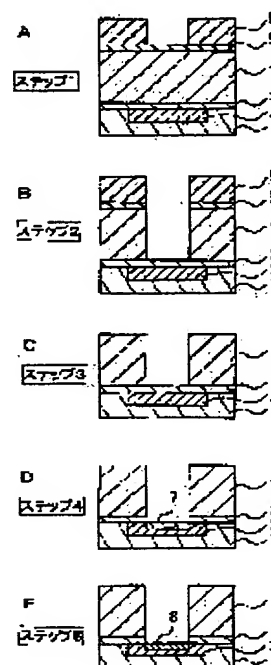
(72)Inventor : OKAMURA HIDEAKI  
YAMAGUCHI MINEO

## (54) MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the erosion of a lower-layer wiring layer caused by an erosive reaction product by removing the erosive product formed on the surface of the lower-layer wiring layer when a via hole is formed.

**SOLUTION:** A method comprises a process of forming the lower-layer wiring layer 2 on a semiconductor substrate, a process of forming insulating films 3 and 4 on the lower-layer wiring layer 2, a process of forming the via hole which penetrates the insulating films 3 and 4 to reach the surface of the lower-layer wiring layer 2 by dry-etching using gas containing fluorocarbon, a process of exposing the surface of the lower-layer wiring layer 2 which is exposed at the bottom of the via hole to plasma of oxidative gas, and a process of forming an upper-layer wiring layer which is electrically connected to the lower-layer wiring layer 2 through the via hole on the insulating film 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-224185

(P2003-224185A)

(43) 公開日 平成15年8月8日(2003.8.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L	21/768	H 0 1 L 21/28	L 4 M 1 0 4
	21/28	21/90	A 5 F 0 0 4
	21/3065	21/302	N 5 F 0 3 3

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願2002-18805(P2002-18805)

(22) 出願日 平成14年1月28日(2002.1.28)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岡村 秀亮

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山口 峰生

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

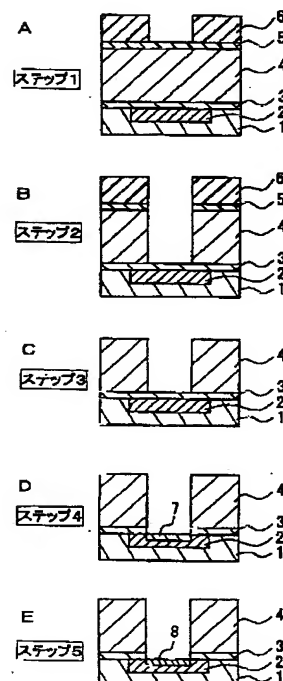
最終頁に続く

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 ビアホール形成時に下層配線層表面に形成される腐食性の反応生成物を除去することにより、この反応生成物による下層配線層の腐食を抑制する。

【解決手段】 半導体基板上に下層配線層2を形成する工程と、前記下層配線層2上に絶縁膜3および4を形成する工程と、フルオロカーボンを含むガスを用いたドライエッチングにより、前記絶縁膜3および4を貫通し且つ前記下層配線層2の表面に到達するビアホールを形成する工程と、前記ビアホールの底部に露出した前記下層配線層2表面を酸化性ガスのプラズマに曝す工程と、絶縁膜4上に、前記ビアホールを介して前記下層配線層2と電氣的に接続された上層配線層を形成する工程とを実施する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に下層配線層を形成する工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスをを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を酸化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記下層配線層表面を酸化する工程が、前記下層配線層表面を酸化性ガスのプラズマに曝す工程である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記酸化性ガスが、酸素および水蒸気の少なくとも一方を含む請求項2に記載の半導体装置の製造方法。

【請求項4】 更に、前記下層配線層表面の酸化により形成された酸化物を除去する工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記酸化物を除去する工程が、前記酸化物が形成された前記下層配線層表面を還元する工程である請求項4に記載の半導体装置の製造方法。

【請求項6】 前記下層配線層表面の還元が、前記酸化膜が形成された前記下層配線層表面を還元性ガスのプラズマに曝すことにより実施される請求項5に記載の半導体装置の製造方法。

【請求項7】 前記酸化物を除去する工程が、前記酸化物が形成された前記下層配線層表面を前記不活性ガスのプラズマに曝すことにより実施される請求項4に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に下層配線層を形成する工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスをを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を還元する工程を含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記下層配線層表面を還元する工程が、前記下層配線層表面を還元性ガスのプラズマに曝す工程である請求項8に記載の半導体装置の製造方法。

【請求項10】 前記還元性ガスが、水素およびアンモニアの少なくとも一方を含む請求項9に記載の半導体装置の製造方法。

【請求項11】 半導体基板上に下層配線層を形成する

工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスをを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を不活性ガスのプラズマに曝す工程を含むことを特徴とする半導体装置の製造方法。

【請求項12】 前記不活性ガスが、アルゴン、ヘリウムおよびネオンからなる群より選ばれる少なくとも一種を含む請求項11に記載の半導体装置の製造方法。

【請求項13】 前記下層配線層および前記上層配線層が銅である請求項1～12のいずれか一項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体装置の製造方法に関するものであり、更に詳しくは、下層配線層上の絶縁膜をエッチングしてビアホールを形成する際に生じるフッ素系反応生成物に起因した下層配線層の腐食を抑制し得る半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】近年、デバイスの高速化と配線信頼性の点から、配線材料として銅が用いられているが、銅は反応性が高く、反応生成物を生じやすいという問題がある。

【0003】以下、従来の半導体装置の製造方法について説明する。図6は、従来の製造方法を説明するための工程断面図である。まず、トランジスタなどが形成された半導体基板上に第1の絶縁膜1を形成し、これに配線パターン状の凹部を形成した後、この凹部に配線材料である銅を埋め込むことにより下層配線層2を形成する。その上に第2の絶縁膜3、第3の絶縁膜4および反射防止膜5を順に形成し、更に感光性樹脂6を塗布してパターン形成を行う（ステップ1：図6（A））。次に、感光性樹脂膜6のパターンに従って反射防止膜5および第3の絶縁膜4をエッチングした後（ステップ2：図6（B））、感光性樹脂6を除去する（ステップ3：図6（C））。次に、第2の絶縁膜3をエッチングして下層配線層2の表面を露出させることにより、ビアホールを形成する（ステップ4：図6（D））。更に、ビアホール内部に上層配線層を形成することにより、半導体装置が製造される。

## 【0004】

【発明が解決しようとする課題】上記従来の製造方法において、ステップ4のビアホールの形成は、フルオロカーボンガスをを用いたドライエッチングにより実施され

る。そのため、この工程においては、エッチングガスに由来するフッ素イオン（またはラジカル）が、エッチングにより露出した下層配線層2表面に到達し、その結果、下層配線層2表面に配線材料とフッ素との反応生成物7が形成される（図6（D）参照）。反応生成物7にはフッ素が含まれているため、このフッ素が大気中の水分と反応し、下層配線層2を構成する銅を腐食させる。このような腐食は、配線の電気特性および配線信頼性を大きく損なう要因となるため問題であった。

【0005】本発明は、下層配線層の腐食を抑制できる半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明の第1の製造方法は、半導体基板上に下層配線層を形成する工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を酸化する工程を含むことを特徴とする。

【0007】このような製造方法によれば、ビアホール形成時に下層配線層表面に形成されるフッ素系反応生成物を酸化物に変化させることにより、下層配線層表面からフッ素を除去することができる。そのため、このフッ素による下層配線層の腐食を抑制することができる。

【0008】前記第1の製造方法においては、前記下層配線層表面を酸化する工程が、前記下層配線層表面を酸化性ガスのプラズマに曝す工程であることが好ましい。下層配線層表面からのフッ素除去を効率良く行うことができるからである。また、この好ましい例において、前記酸化性ガスとしては、例えば、酸素および水蒸気の少なくとも一方を含むガスを使用することができる。

【0009】また、前記第1の製造方法においては、更に、前記下層配線層表面の酸化により形成された酸化物を除去する工程を含むことが好ましい。この好ましい例によれば、下層配線層表面に形成された酸化物に起因した、下層配線層と上層配線層との間の接続抵抗の上昇を抑制することができる。

【0010】この好ましい例においては、前記酸化物を除去する工程を、前記酸化物が形成された前記下層配線層表面を還元する工程とすることができ。この還元は、例えば、前記下層配線層表面を還元性ガスのプラズマに曝すことにより実施することができる。

【0011】また、前記酸化物を除去する工程は、前記酸化物が形成された前記下層配線層表面を不活性ガスのプラズマに曝す工程であってもよい。この例によれば、

前記酸化物を物理的なエッチングにより除去することができる。

【0012】前記目的を達成するため、本発明の第2の製造方法は、半導体基板上に下層配線層を形成する工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を還元する工程を含むことを特徴とする。

【0013】このような製造方法によれば、ビアホール形成時に下層配線層表面に形成されるフッ素系反応生成物を還元することにより、下層配線層表面からフッ素を除去することができる。そのため、このフッ素による下層配線層の腐食を抑制することができる。

【0014】前記第2の製造方法においては、前記下層配線層表面を還元する工程が、前記下層配線層表面を還元性ガスのプラズマに曝す工程であることが好ましい。下層配線層表面からのフッ素除去を効率良く行うことができるからである。この場合、前記還元性ガスとしては、例えば、水素およびアンモニアの少なくとも一方を含むガスを使用することができる。

【0015】前記目的を達成するため、本発明の第3の製造方法は、半導体基板上に下層配線層を形成する工程と、前記下層配線層上に絶縁膜を形成する工程と、フルオロカーボンを含むガスを用いたドライエッチングにより、前記絶縁膜を貫通し且つ前記下層配線層の表面に到達するビアホールを形成する工程と、前記絶縁膜上に、前記ビアホールを介して前記下層配線層と電気的に接続された上層配線層を形成する工程とを含む半導体装置の製造方法であって、更に、前記ビアホールを形成する工程の後に、前記ビアホールの底部に露出した前記下層配線層表面を不活性ガスのプラズマに曝す工程を含むことを特徴とする。

【0016】このような製造方法によれば、ビアホール形成時に下層配線層表面に形成されるフッ素系反応生成物を物理的なエッチングにより除去することができるため、このフッ素による下層配線層の腐食を抑制することができる。

【0017】前記第3の製造方法においては、前記不活性ガスとして、例えば、アルゴン、ヘリウムおよびネオンからなる群より選ばれる少なくとも一種を使用することができる。

【0018】また、前記第1～第3の製造方法においては、前記下層配線層および前記上層配線層として、例えば、銅を使用することができる。

【0019】なお、「酸化性ガスのプラズマ」、「不活

性ガスのプラズマ」および「還元性ガスのプラズマ」とは、それぞれ、酸化性ガス、不活性ガスおよび還元性ガスに電界を印加してプラズマ化させたものを意味する。

【0020】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について、図1を参照しながら説明する。図1は、本発明の第1の実施形態に係る半導体装置の製造方法の一例を示す工程図である。

【0021】まず、トランジスタなどの素子が形成された半導体基板上に、第1の絶縁膜1を介して、下層配線層2を形成する。下層配線層2としては、電気抵抗率が低いことから、銅を用いることが好ましい。また、第1の絶縁膜1としては、例えば、テトラエチルオルソシリケート（TEOS）を用いたプラズマ化学気相堆積法（PCVD法）により形成されたシリコン酸化膜（以下、「プラズマTEOS膜」という。）を使用することができる。

【0022】下層配線層2の形成方法は特に限定するものではないが、例えば、半導体基板上に第1の絶縁膜1を形成し、この第1の絶縁膜1に凹部を形成した後、この凹部に銅を埋め込むことにより下層配線層2を形成する、いわゆるダマシン法を採用することができる。凹部の形成方法としては、例えば、ドライエッチングを採用することができる。また、銅の埋め込みは、例えば、メッキ法により凹部内に銅膜を形成した後、凹部以外に形成された銅膜を化学機械研磨（CMP）により除去する方法を採用することができる。

【0023】続いて、第1の絶縁膜1上に、第2の絶縁膜3、第3の絶縁膜4および反射防止膜5を形成する。更に、反射防止膜5上に感光性樹脂6を塗布し、これをフォトリソグラフィ法によりパターニングして、ビアホールを形成する部分に開口部を形成する（ステップ1：図1（A））。第2の絶縁膜3としては、例えば、CVD法により形成されたシリコン窒化膜を用いることができ、第3の絶縁膜4としては、例えば、プラズマTEOS膜を用いることができる。また、反射防止膜5としては、シリコン酸窒化膜などの無機材料や、有機材料を使用することができる。

【0024】次に、感光性樹脂6のパターンに従って、反射防止膜5および第3の絶縁膜4をエッチングする（ステップ2：図1（B））。この工程は、例えば、フルオロカーボンを含むガスを用いたドライエッチングにより実施することができる。なお、エッチング条件については特に限定するものではないが、例えば、容量結合型プラズマエッチング装置を用いて、エッチングガスとして、 $C_4F_8$ ガスの流量を20ml/分、 $O_2$ ガスの流量を10ml/分、アルゴンガスの流量を100ml/分とした混合ガスを用い、ガス圧力を10Pa、放電電力を1500Wに設定することができる。なお、ガス流量は、単位時間当たりに導入されるガスの量を、標準状

態（0℃、1気圧）における体積に換算して表したものである（以下、同じ）。

【0025】続いて、感光性樹脂6を除去する（ステップ3：図1（C））。この工程は、プラズマアッシングにより実施できる。このとき、反射防止膜5として有機材料を使用した場合、感光性樹脂6とともに反射防止膜5も除去される。なお、アッシング条件については、特に限定するものではないが、例えば、マイクロ波プラズマによるダウンフロー型アッシング装置を用いて、 $O_2$ ガスの流量を2000ml/分、ガス圧力を500Pa、放電電力を1000Wに設定することができる。また、感光性樹脂6を除去した後、ウェット洗浄が実施される。

【0026】次に、第2の絶縁膜3をエッチングして、下層配線層2表面を露出させる（ステップ4：図1（D））。これにより、層間絶縁膜（第2および第3の絶縁膜）を貫通し、下層配線層2表面に到達するビアホールが形成される。この工程は、ドライエッチングにより実施され、エッチングガスとしては、フルオロカーボンを含むものが用いられる。そのため、この工程においては、エッチングガスに由来するフッ素イオン（またはラジカル）が、エッチングにより露出した下層配線層2表面に到達する。その結果、下層配線層2表面に配線材料とフッ素との反応生成物7が形成される。反応生成物7は主にフッ化物であり、例えば、配線材料が銅である場合は主にフッ化銅である。

【0027】なお、この工程におけるエッチング条件については、特に限定するものではないが、例えば、容量結合型プラズマエッチング装置を用いる場合、エッチングガスとして、 $CF_4$ ガスの流量を50ml/分、 $O_2$ ガスの流量を10ml/分、アルゴンガスの流量を100ml/分とした混合ガスを用いて、ガス圧力を30Pa、放電電力を500Wに設定することができる。

【0028】次に、ビアホールの底部に露出した下層配線層2表面を酸化する（ステップ5：図1（E））。これにより、反応生成物7を酸化物8に変化させることができる。この反応に伴って、反応生成物7に含まれるフッ素を揮発性物質に変化させることができ、下層配線層2表面からフッ素を脱離させることができる。

【0029】この工程は、下層配線層2表面を酸化性ガスのプラズマに曝すことにより実施することができる。この方法によれば、下層配線層2表面に形成された反応生成物7と、プラズマ中に存在する酸素イオン（またはラジカル）などの活性種とを反応させて、反応生成物7を酸化物8に変化させ、下層配線層2表面からフッ素を脱離させることができる。

【0030】この場合、例えば、半導体基板をプラズマエッチング装置内に配置し、この装置内に前記ガスを供給するとともに、これに十分な強度の電界を印加してプラズマを発生させることにより実施できる。

【0031】装置に供給されるガスとしては、例えば、酸素、 $H_2O$ 、 $N_2O$ などを含むガス使用することができ、好ましくは、酸素および $H_2O$ の少なくとも一方を含むガスを使用することが好ましい。これらのなかでも、 $H_2O$ を含むガスを使用することが特に好ましい。 $H_2O$ を含むガスを使用した場合、プラズマ中に水素イオン（またはラジカル）が存在し、これが反応生成物7に含まれるフッ素と反応して揮発性のフッ化水素を生成させるため、下層配線層2表面からのフッ素除去を速やかに進行させることができるからである。

【0032】また、処理条件は、下層配線層2表面に反応生成物7として存在するフッ素を十分に除去できる条件であれば、特に限定するものではない。反応生成物7を酸化物8に変化させる反応は、下層配線層の表面からその内部に向かって進行するが、この反応が進むほどフッ素の除去量は増大する。この反応は、処理温度を高くしたり、処理時間を長くしたり、装置の供給されるガスの流量を増大させることによって、その進行程度を増大させることができる。

【0033】しかしながら、反応生成物7を酸化物8に変化させる反応が、反応生成物7の厚みを超えて進行すると、それ以上反応を進めてもフッ素除去効果に大きな変化はみられなくなる。逆に、反応を過剰に進行させた場合、下層配線層2表面に形成される酸化物8の膜厚が過剰に増大し、下層配線層と上層配線層との間のコンタクト抵抗が上昇するおそれがある。よって、本実施形態においては、この工程で形成される酸化物8の膜厚を小さく、例えば10nm以下にとどめるように処理条件を設定することが好ましい。

【0034】また、処理条件は、ビアホールの孔径および層間絶縁膜の膜厚（第2および第3の絶縁膜の合計膜厚）に応じて設定することが好ましい。ビアホールの孔径が小さい場合や、層間絶縁膜の膜厚が大きい場合、下層配線層2表面にプラズマが到達しにくくなり、反応生成物7が酸化物8に変化する反応が進行しにくくなる場合があるからである。このような場合は、ガス流量を多くしたり、ガス圧力を低くしたり、放電電力を高く設定することにより、前記反応の進行を促進すればよい。

【0035】具体的な処理条件の一例を挙げると、容量結合型プラズマエッチング装置を用いた場合、酸素および $H_2O$ の少なくとも一方を含むガスを用いて、その流量を100～5000ml/分、好ましくは300ml/分に設定することができる。また、ガス圧力は、例えば30～200Pa、好ましくは50Paに設定でき、放電電力は、例えば100～1500W、好ましくは300Wに設定できる。なお、これらの条件は、ビアホールの孔径が0.2 $\mu m$ 、層間絶縁膜の膜厚が1 $\mu m$ である場合に特に適している。

【0036】前述したように、この工程はプラズマエッチング装置を用いて実施することができる。プラズマエ

ッチング装置としては、特に限定するものではなく、例えば、容量結合型、誘導結合型およびマイクロ波型などの各種のプラズマエッチング装置を使用することが可能である。

【0037】また、ステップ4終了からステップ5終了に至る間、半導体基板は外気から遮断されていることが好ましい。外気から遮断する方法としては、ステップ4において半導体基板をプラズマエッチング装置内でエッチングした後、このプラズマエッチング装置内に半導体基板を保持した状態のまま、供給ガス種、ガス圧力および放電電力などを変更することによりステップ5を実施する方法が挙げられる。また、別の方法として、ステップ4とステップ5とで別のプラズマエッチング装置を使用し、これらの装置間における半導体基板の搬送路を外気から遮断する方法が挙げられる。この場合、搬送路内は、30～200Pa程度の減圧状態であることが好ましい。

【0038】ステップ5の終了後、ビアホール内部および第3の絶縁膜4上に上層配線層を形成する（ステップ6）。これにより、下層配線層2と上層配線層とをビアホールを介して電気的に接続され、多層配線構造を有する半導体装置を作製することができる。上層配線層としては、下層配線層2と同様に銅を使用することができ、その形成方法としては、例えば、スパッタ法により銅を成膜した後、これをフォトリソグラフィーおよびエッチングによりパターニングする方法を採用することができる。

【0039】前述したように、本実施形態によれば、ビアホール形成後に下層配線層表面を酸化することにより、ビアホール形成時に形成された反応生成物（フッ化物）を酸化物に変化させることができる。この反応に伴ない、反応生成物に含まれるフッ素を下層配線層表面から脱離させることができ、このフッ素に起因した下層配線層の腐食を抑制することができる。

【0040】（第2の実施形態）以下、本発明の第2の実施形態について、図2を参照しながら説明する。図2は、本実施形態に係る半導体装置の製造方法の一例を示す工程図である。

【0041】まず、トランジスタなどの素子が形成された半導体基板上に、第1の絶縁膜1を介して、下層配線層2を形成する。続いて、下層配線層2上に、第2の絶縁膜3、第3の絶縁膜4および反射防止膜5を形成する。更に、反射防止膜5上に感光性樹脂6を塗布し、これをパターニングする（ステップ1：図2（A））。次に、感光性樹脂6のパターンに従って反射防止膜5および第3の絶縁膜4をエッチングした後（ステップ2：図2（B））、感光性樹脂6を除去する（ステップ3：図2（C））。なお、ここまでの工程（ステップ1～3）については、第1の実施形態のステップ1～3と同様にして実施することができる。



【0042】続いて、フルオロカーボンを含むガスを用いたドライエッチングにより、第2の絶縁膜3をエッチングし、ビアホールを形成する（ステップ4：図2（D））。この工程は、第1の実施形態のステップ4と同様にして実施される。そのため、第1の実施形態と同様に、下層配線層2表面に、エッチングガスに由来するフッ素と配線材料との反応生成物7が形成される。

【0043】次に、ビアホールの底部に露出した下層配線層2表面を還元する（ステップ5：図2（E））。これにより、反応生成物7を還元することができる。この反応に伴って、反応生成物7に含まれるフッ素を揮発性物質に変化させて、下層配線層2表面から脱離させることができる。

【0044】この工程は、下層配線層2表面を還元性ガスのプラズマに曝すことにより実施することができる。この方法によれば、下層配線層2表面に形成された反応生成物7と、プラズマ中に存在する水素イオン（またはラジカル）などの活性種とを反応させて、反応生成物7を還元するとともに、下層配線層2表面からフッ素を脱離させることができる。

【0045】この工程は、例えば、半導体基板をプラズマエッチング装置内に配置し、この装置内に還元性ガスを供給するとともに、これに十分な強度の電界を印加してプラズマを発生させることにより実施できる。装置に供給されるガスとしては、水素およびアンモニアの少なくとも一方を含むものを使用することが好ましい。

【0046】処理条件は、下層配線層2表面の反応生成物7を十分に還元できるような条件であれば、特に限定するものではない。反応生成物7を還元する反応は、処理温度を高くしたり、処理時間を長くしたり、装置の供給されるガスの流量を増大させることによって、その進行程度を増大させることができる。

【0047】また、処理条件は、ビアホールの孔径および層間絶縁膜の膜厚（第2および第3の絶縁膜の合計膜厚）に応じて設定することが好ましい。ビアホールの孔径が小さい場合や、層間絶縁膜の膜厚が大きい場合、下層配線層表面にプラズマが到達しにくくなるからである。このような場合は、ガス流量を多くしたり、ガス圧力を低くしたり、放電電力を高く設定することにより、エッチングの進行を促進すればよい。

【0048】処理条件の一例を挙げると、容量結合型プラズマエッチング装置を用いた場合、水素ガスおよび窒素ガスの混合ガスを用いて、その流量比（ $H_2/N_2$ ）を、例えば0.01～0.2に設定し、総流量を100～5000ml/分に設定することができる。好ましい例を挙げると、水素ガスの流量を50ml/分、窒素ガスの流量を500ml/分に設定することができる。また、ガス圧力は、例えば30～200Pa、好ましくは100Paに設定でき、放電電力は、例えば100～1500W、好ましくは300Wに設定できる。なお、こ

れらの条件は、ビアホールの孔径が0.2μm、層間絶縁膜の膜厚が1μmである場合に特に適している。

【0049】なお、この工程において使用できるプラズマエッチング装置としては、第1の実施形態で例示したものと同様の装置を使用することができる。また、本実施形態においても、第1の実施形態と同様に、ステップ4終了からステップ5終了に至る間、半導体基板は外気から遮断されていることが好ましい。

【0050】ステップ5の終了後、ビアホール内部および第3の絶縁膜4上に上層配線層が形成され、半導体装置が作製される（ステップ6）。この工程は、第1の実施形態のステップ6と同様にして実施することができる。

【0051】前述したように、本実施形態によれば、ビアホール形成後に下層配線層表面を還元することにより、ビアホール形成時に形成された反応生成物（フッ化物）を還元することができる。この反応に伴ない、反応生成物に含まれるフッ素を下層配線層表面から脱離させることができ、このフッ素に起因した下層配線層の腐食を抑制することができる。更に、本実施形態によれば、反応生成物を還元した後の下層配線層表面は、酸化膜などが存在しない清浄な状態であるため、配線部の電気的特性を更に向上させることができる。

【0052】（第3の実施形態）以下、本発明の第3の実施形態について、図3を参照しながら説明する。図3は、本実施形態に係る半導体装置の製造方法の一例を示す工程図である。

【0053】まず、トランジスタなどの素子が形成された半導体基板上に、第1の絶縁膜1を介して、下層配線層2を形成する。続いて、下層配線層2上に、第2の絶縁膜3、第3の絶縁膜4および反射防止膜5を形成する。更に、反射防止膜5上に感光性樹脂6を塗布し、これをパターンニングする（ステップ1：図3（A））。次に、感光性樹脂6のパターンに従って反射防止膜5および第3の絶縁膜4をエッチングした後（ステップ2：図3（B））、感光性樹脂6を除去する（ステップ3：図3（C））。なお、ここまでの工程（ステップ1～3）については、第1の実施形態のステップ1～3と同様にして実施することができる。

【0054】続いて、フルオロカーボンを含むガスを用いたドライエッチングにより、第2の絶縁膜3をエッチングし、ビアホールを形成する（ステップ4：図3（D））。この工程は、第1の実施形態のステップ4と同様にして実施される。そのため、第1の実施形態と同様に、下層配線層2表面に、エッチングガスに由来するフッ素と配線材料との反応生成物7が形成される。

【0055】次に、ビアホールの底部に露出した下層配線層2表面を、不活性ガスのプラズマに曝す（ステップ5：図3（E））。この工程を実施することにより、プラズマに含まれるイオンを下層配線層2表面に衝突させ



て、下層配線層2表面に形成された反応生成物7を物理的にエッチングして除去することができる。

【0056】この工程は、例えば、半導体基板をプラズマエッチング装置内に配置し、この装置内に不活性ガスを供給するとともに、これに十分な強度の電界を印加してプラズマを発生させることにより実施できる。不活性ガスとしては、例えば、アルゴン、ヘリウムおよびネオンから選ばれる少なくとも一種を含むものを使用することができる。

【0057】また、不活性ガスに、酸化性ガスまたは還元性ガスを混合して用いることも可能である。この場合、不活性ガスを用いることによるエッチング効果と、第1および第2の実施形態で説明したような酸化性ガスまたは還元性ガスを用いることによるフッ素除去効果との双方の効果が得られる。そのため、このような方法によれば、この下層配線層2表面から十分にフッ素を除去するのに要する時間を短縮することができる。

【0058】ステップ5における処理条件は特に限定するものではないが、下層配線層2表面の反応生成物7を十分に除去できるよう、エッチング量が反応生成物7の厚みとほぼ同等か、または、それ以上となるような条件とすることが好ましい。また、エッチング量の上限については特に限定するものではないが、エッチング量が反応生成物7の厚みを超えると、エッチング量を増大させてもフッ素低減効果に大きな変化はみられない。これらのことから、エッチング量は、例えば5～100nm、好ましくは10～30nmとする。

【0059】なお、エッチング量は、処理温度を高くしたり、処理時間を長くしたり、放電電圧を高くしたり、装置の供給されるガスの流量を増大させることによって、増大させることができる。

【0060】また、処理条件は、ビアホール孔径および層間絶縁膜の膜厚（第2および第3の絶縁膜の合計膜厚）に応じて設定することが好ましい。ビアホール孔径が小さい場合や、層間絶縁膜の膜厚が大きい場合は、下層配線層表面にプラズマが到達しにくくなるからである。このような場合は、ガス流量を多くしたり、ガス圧力を高くしたり、放電電力を高く設定することにより、エッチングの進行を促進することができる。

【0061】具体的な処理条件の一例を挙げると、容量結合型プラズマエッチング装置を用いた場合、アルゴンガスの流量を100～1000ml/分、好ましくは200ml/分に設定することができる。また、ガス圧力は、例えば10～100Pa、好ましくは30Paに設定でき、放電電力は、例えば300～1000W、好ましくは800Wに設定できる。これらの具体的な条件は、ビアホール孔径が0.2μm、層間絶縁膜の膜厚が1μmである場合に特に適している。

【0062】なお、この工程において使用できるプラズマエッチング装置としては、第1の実施形態で例示した

ものと同様の装置を使用することができる。また、本実施形態においても、第1の実施形態と同様に、ステップ4終了からステップ5終了に至る間、半導体基板は外気から遮断されていることが好ましい。

【0063】ステップ5の終了後、ビアホール内部および第3の絶縁膜4上に上層配線層を形成することにより、半導体装置が作製される（ステップ6）。この工程は、第1の実施形態のステップ6と同様にして実施することができる。

【0064】前述したように、本実施形態によれば、ビアホール形成後に下層配線層表面を不活性ガスのプラズマに曝すことにより、ビアホール形成時に形成された反応生成物をエッチングにより除去することができる。そのため、この反応生成物の存在に起因した下層配線層の腐食を抑制することができる。更に、本実施形態によれば、反応生成物を除去した後の下層配線層表面は、酸化膜などが存在しない清浄な状態であるため、配線部の電気的特性を更に向上させることができる。

【0065】（第4の実施形態）以下、本発明の第4の実施形態について、図4および図5を参照しながら説明する。図4および図5は、本実施形態に係る半導体装置の製造方法の一例を示す工程図である。

【0066】まず、トランジスタなどの素子が形成された半導体基板上に、第1の絶縁膜1を介して、下層配線層2を形成する。続いて、下層配線層2上に、第2の絶縁膜3、第3の絶縁膜4および反射防止膜5を形成する。更に、反射防止膜5上に感光性樹脂6を塗布し、これをパターニングする（ステップ1：図4（A））。次に、感光性樹脂6のパターンに従って、反射防止膜5および第3の絶縁膜4をエッチングした後（ステップ2：図4（B））、感光性樹脂6を除去する（ステップ3：図4（C））。なお、ここまでの工程（ステップ1～3）については、第1の実施形態のステップ1～3と同様にして実施することができる。

【0067】続いて、フルオロカーボンを含むガスを用いたドライエッチングにより、第2の絶縁膜3をエッチングし、ビアホールを形成する（ステップ4：図5（D））。この工程は、第1の実施形態のステップ4と同様にして実施される。そのため、第1の実施形態と同様に、下層配線層2表面には、エッチングガスに由来するフッ素と配線材料との反応生成物7が形成される。

【0068】次に、ビアホールの底部に露出した下層配線層2表面を酸化する（ステップ5：図5（E））。これにより、下層配線層2表面の反応生成物7を酸化物8に変化させるとともに、反応生成物7に含まれるフッ素を下層配線層表面から脱離させることができる。

【0069】この工程は、下層配線層2表面を酸化性ガスのプラズマに曝すことにより実施できる。具体的には、第1の実施形態のステップ5と同様にして実施することが可能である。但し、本実施形態においては、後に

酸化物8を除去する工程(ステップ6)を実施するため、この工程で形成される酸化物8の膜厚が比較的大きくても構わない。

【0070】また、酸化物8を除去する工程(ステップ6)において、後述する第1の方法または第2の方法を採用する場合は、このステップ6の操作によっても、下層配線層2表面からフッ素を除去することができる。そのため、この場合は、ステップ5の段階では、下層配線層2表面からのフッ素の除去量が不十分であっても構わない。

【0071】続いて、下層配線層2表面に形成された酸化物8を除去する(ステップ6:図5(F))。これにより、下層配線層2表面に酸化物8が存在することによる、下層配線層と上層配線層との間のコンタクト抵抗の上昇を抑制することができる。

【0072】この工程は、例えば、次の3通りの方法により実施することができる。

【0073】第1の方法は、下層配線層2表面に形成された酸化物8を還元することにより、前記酸化物8を除去する方法である。

【0074】この方法を採用する場合、ステップ6は、下層配線層2表面を還元性ガスのプラズマに曝すことにより実施できる。この場合、半導体基板をプラズマエッチング装置を用いて、この装置内に還元性ガスを供給することにより実施できる。装置に供給されるガスとしては、第3の実施形態のステップ5において例示したものを使用できる。

【0075】処理条件は、下層配線層2表面の酸化物8を十分に還元できるような条件であれば、特に限定するものではない。この酸化物8の還元は、処理温度を高くしたり、処理時間を長くしたり、装置の供給されるガスの流量を増大させることによって、その進行程度を増大させることができる。また、ビアホール孔径が小さい場合や、層間絶縁膜の膜厚が大きい場合は、ガス流量を多くしたり、ガス圧力を高くしたり、放電電力を高く設定することが好ましい。なお、処理条件の具体的な一例としては、第2の実施形態のステップ5において例示したものと同様の条件を採用することができる。

【0076】第2の方法は、下層配線層2表面を不活性ガスのプラズマに曝す方法である。この方法によれば、下層配線層2表面に形成された酸化物8を物理的にエッチングして除去することができる。

【0077】この場合、ステップ6は、半導体基板をプラズマエッチング装置を用いて、この装置内に不活性ガスを供給することにより実施できる。装置に供給される不活性ガスとしては、第2の実施形態のステップ5において例示したものが使用できる。

【0078】処理条件は、下層配線層2表面の酸化物8の膜厚とはほぼ同等か、またはそれ以上のエッチング量を達成できるような条件を採用することが好ましい。エッ

チング量は、処理温度を高くしたり、処理時間を長くしたり、放電電圧を高くしたり、装置の供給されるガスの流量を増大させることによって増大させることができる。また、ビアホール孔径が小さい場合や、層間絶縁膜の膜厚が大きい場合は、ガス流量を多くしたり、ガス圧力を低くしたり、放電電力を高く設定することが好ましい。なお、処理条件の具体的な一例としては、第3の実施形態のステップ5において例示したものと同様の条件を採用できる。

【0079】第3の方法は、下層配線層2表面に形成された酸化物8を、ウェットエッチングにより除去する方法である。この場合、エッチング液としては、例えば、フッ化アンモニウムを含む有機溶媒などを使用することができる。処理条件は、下層配線層2表面の酸化物8が十分にエッチングできるような条件であれば、特に限定するものではない。エッチング量は、処理温度を高くしたり、処理時間を長くしたり、エッチング液濃度を高くすることによって増大させることができる。

【0080】ステップ6の終了後、ビアホール内部および第3の絶縁膜上に上層配線層が形成され、半導体装置が作製される(ステップ7)。この工程は、第1の実施形態のステップ6と同様にして実施することができる。

【0081】このように、本実施形態によれば、ビアホール形成後に下層配線層表面を酸化することにより、ビアホール形成時に形成された反応生成物(フッ化物)を酸化物に変化させることができる。この反応に伴ない、反応生成物に含まれるフッ素を下層配線層表面から脱離させることができ、このフッ素に起因した下層配線層の腐食を抑制することができる。更に、下層配線層表面を酸化した後、下層配線層表面に形成された酸化物を除去する工程を含むため、下層配線層表面は酸化膜が存在しない清浄な状態となるため、配線部の電気的特性を更に向上させることができる。

【0082】

【発明の効果】以上のように、本発明の製造方法によれば、フルオロカーボンを含むガスをを用いたドライエッチングによりビアホールを形成した後、前記下層配線層表面を酸化する工程、前記下層配線層表面を還元する工程、または、前記下層配線層表面を不活性ガスのプラズマに曝す工程を実施することにより、ビアホール形成時に下層配線層表面に形成されるフッ素系反応生成物を除去し、下層配線層の腐食を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る製造方法を説明するための工程断面図である。

【図2】 本発明の第2の実施形態に係る製造方法を説明するための工程断面図である。

【図3】 本発明の第3の実施形態に係る製造方法を説明するための工程断面図である。

【図4】 本発明の第4の実施形態に係る製造方法を説

明するための工程断面図である。

【図5】 本発明の第4の実施形態に係る製造方法を説明するための工程断面図である。

【図6】 従来の半導体装置の製造方法を説明するための工程断面図である。

【符号の説明】

1 第1の絶縁膜

2 下層配線層

3 第2の絶縁膜

4 第3の絶縁膜

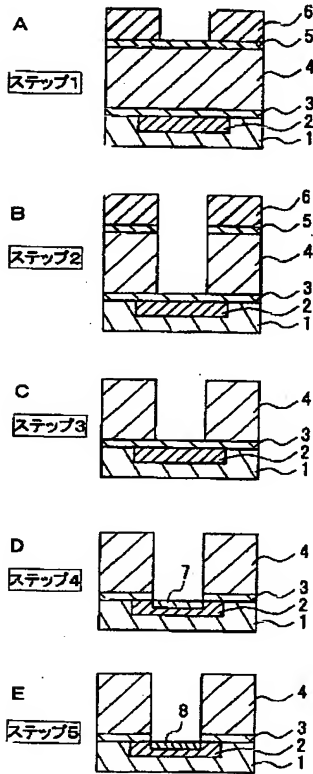
5 反射防止膜

6 感光性樹脂

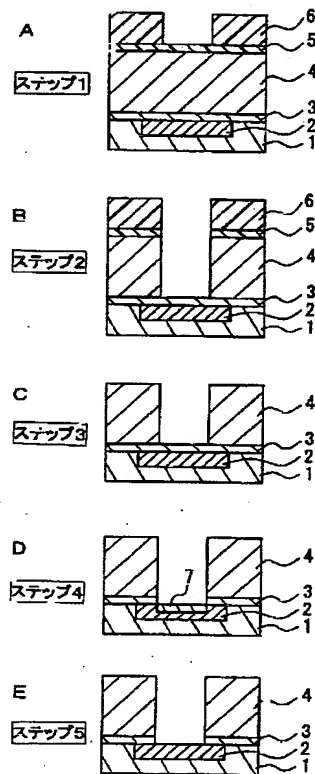
7 反応生成物

8 酸化物

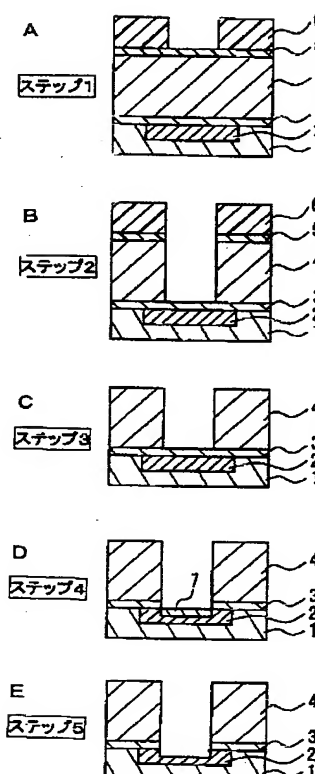
【図1】



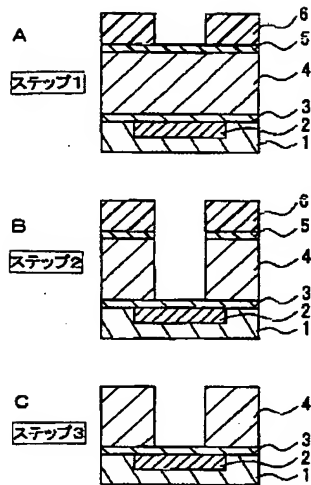
【図2】



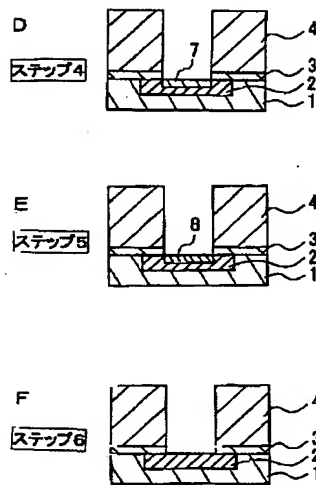
【図3】



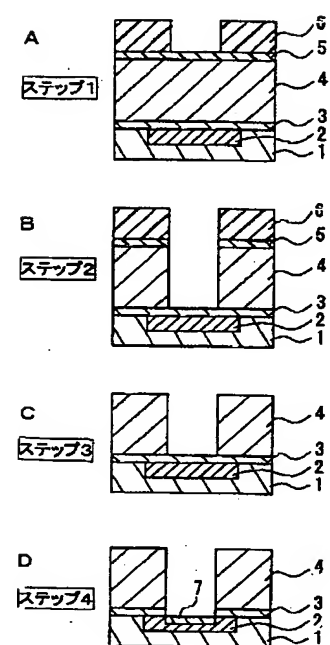
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 4M104 BB04 CC01 DD08 DD16 DD17  
 DD18 DD22 DD23 DD52 DD53  
 DD75 EE12 FF40 HH12 HH14  
 HH15 HH20  
 5F004 DA01 DA02 DA03 DA15 DA16  
 DA22 DA23 DA24 DA26  
 5F033 HH11 JJ01 JJ11 KK11 MM01  
 PP27 PP28 QQ00 QQ04 QQ08  
 QQ09 QQ10 QQ11 QQ12 QQ15  
 QQ19 QQ37 QQ48 QQ89 QQ90  
 QQ94 QQ95 QQ98 RR04 RR06  
 RR08 SS04 SS11 SS15 SS21  
 XX01 XX03 XX09 XX18